

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-249622

(43)Date of publication of application : 05.09.2003

(51)Int.Cl. H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 2003-019022 (71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 28.01.2003 (72)Inventor : LASKY JEROME B
NOWAK EDWARD J
SPROGIS EDMUND J

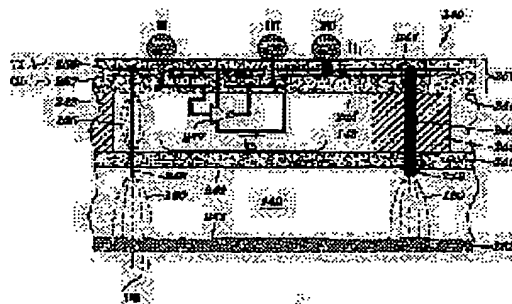
(30)Priority

Priority number : 2002 068537 Priority date : 06.02.2002 Priority country : US

(54) DESIGNING METHOD OF POWER DISTRIBUTION FOR STACKED FLIP CHIP PACKAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide chip-on-chip module and a forming method belonging to the same.
SOLUTION: A first semiconductor chip is connected to a second semiconductor chip. The first chip comprises a first wiring layer and a first conductive substrate in the first side and the second side of the first chip, respectively. A power supply voltage VDD is adapted so as to be electrically connected to the second side of the first chip. The second chip comprises a second wiring layer and a second conductive substrate in the first side and the second side of the second chip, respectively. A grounding voltage GND is adapted so as to be electrically connected to the second side of the second chip. The first side of the first chip is connected to the first side of the second chip. The power supply voltage VDD and the grounding voltage GND are adapted so as to supply an electric power to the first and the second chips.



LEGAL STATUS

[Date of request for examination] 28.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-249622

(P2003-249622A)

(43) 公開日 平成15年9月5日(2003.9.5)

(51) Int.Cl.⁷H 0 1 L 25/065
25/07
25/18

識別記号

F I

H 0 1 L 25/08

テ-マ-ト* (参考)

B

審査請求 有 請求項の数20 OL (全 13 頁)

(21) 出願番号 特願2003-19022(P2003-19022)

(22) 出願日 平成15年1月28日(2003.1.28)

(31) 優先権主張番号 10/068537

(32) 優先日 平成14年2月6日(2002.2.6)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーションINTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州

アーモンク ニュー オーチャード ロー
ド

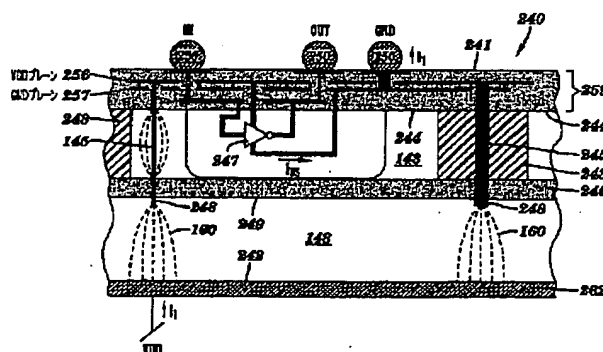
(74) 代理人 100086243

弁理士 坂口 博 (外2名)

最終頁に続く

(54) 【発明の名称】 スタック化フリップ・チップ・パッケージの配電設計方法

(57) 【要約】

【課題】 チップ・オン・チップ・モジュールおよびそ
れに付随する形成方法を提供する。【解決手段】 第1の半導体チップを第2の半導体チ
ップは共に結合されている。第1のチップが、第1のチ
ップの第1の側と第2の側とにそれぞれ第1の配線層と第
1の導電性基板とを含む。電源電圧VDDが、第1のチ
ップの第2の側に電気的に結合されるように適合化され
ている。第2のチップが、第2のチップの第1の側と第
2の側とにそれぞれ第2の配線層と第2の導電性基板と
を含む。接地電圧GNDが、第2のチップの第2の側に
電気的に結合されるように適合化される。第1のチップ
の第1の側は、第2のチップの第1の側に結合される。
電源電圧VDDと接地電圧GNDは、第1および第2の
チップに電力を供給するように適合化される。

【特許請求の範囲】

【請求項 1】第 1 の半導体チップの第 2 の側が電源電圧 VDD に電氣的に結合されるように適合化された、第 1 の半導体チップの第 1 の側にある第 1 の配線層と第 1 の半導体チップの第 2 の側にある第 1 の導電性基板とを含む第 1 の半導体チップと、

第 2 の半導体チップの第 2 の側が接地電圧 GND に電氣的に結合されるように適合化された、第 2 の半導体チップの第 1 の側にある第 2 の配線層と第 2 の半導体チップの第 2 の側にある第 2 の導電性基板とを含む第 2 の半導体チップとを含む、

前記第 1 の半導体チップの前記第 1 の側が前記第 2 の半導体チップの前記第 1 の側に電氣的に結合され、前記第 1 の半導体チップと前記第 2 の半導体チップが前記電源電圧 VDD と前記接地電圧 GND とから電力を受け取るように適合化された、チップ・オン・チップ・モジュール構造。

【請求項 2】第 1 の導電層が前記第 1 の半導体チップの前記第 2 の側に配置され、前記電源電圧 VDD に電氣的に結合されるように適合化され、

第 2 の導電層が前記第 2 の半導体チップの前記第 2 の側に配置され、前記接地電圧 GND に電氣的に結合されるように適合化された、請求項 1 に記載のチップ・オン・チップ・モジュール構造。

【請求項 3】前記第 1 の導電層が、前記第 1 の半導体チップ内で発生した熱を放熱するのに十分な熱伝導性を有し、前記第 2 の導電層が前記第 2 の半導体チップ内で発生した熱を放熱するのに十分な熱伝導性を有する、請求項 2 に記載のチップ・オン・チップ・モジュール構造。

【請求項 4】前記第 1 の半導体チップがセミコンダクタ・オン・インシュレータ (semiconductor-on-insulator: SOI) チップであり、前記第 2 の半導体チップがバルク半導体チップである、請求項 1 に記載のチップ・オン・チップ・モジュール構造。

【請求項 5】前記第 1 の半導体チップが第 1 の SOI チップで、第 1 の電気デバイスが第 1 の半導体デバイスであり、前記第 2 の半導体チップが第 2 の SOI チップで、第 2 の電気デバイスが第 2 の半導体デバイスである、請求項 1 に記載のチップ・オン・チップ・モジュール構造。

【請求項 6】前記第 1 の半導体チップが第 1 のバルク半導体チップであり、前記第 2 の半導体チップが第 2 のバルク半導体チップである、請求項 1 に記載のチップ・オン・チップ・モジュール構造。

【請求項 7】前記第 1 の半導体チップが受動デバイス半導体チップであり、前記第 2 の半導体チップが、SOI チップとバルク半導体チップとから成るグループから選択された、請求項 1 に記載のチップ・オン・チップ・モジュール構造。

【請求項 8】前記第 1 の半導体チップが、SOI チップ

とバルク半導体チップとから成るグループから選択され、前記第 2 の半導体チップが受動デバイス半導体チップである、請求項 1 に記載のチップ・オン・チップ・モジュール構造。

【請求項 9】前記第 1 の半導体チップが、第 1 の導電ビアと第 1 の電気デバイスとをさらに含み、前記第 1 の配線層が第 1 のバック・エンド・オブ・ライン (BEOL) 配線層であり、前記第 1 の導電基板が、前記第 1 の半導体チップの前記第 2 の側と前記第 1 の導電ビアとの間で第 1 の電流を伝導するのに十分にドーピングされた第 1 のバルク半導体基板であり、前記第 1 の導電ビアが前記第 1 のバルク半導体基板を前記第 1 の BEOL 配線層に電氣的に結合し、前記第 1 の BEOL 配線層が前記第 1 の電気デバイス内に前記第 1 の電流の一部を伝導するように適合化され、

前記第 2 の半導体チップが第 2 の導電ビアと第 2 の電気デバイスとをさらに含み、前記第 2 の配線層が第 2 のバック・エンド・オブ・ライン (BEOL) 配線層であり、前記第 2 の導電性基板が、前記第 2 の半導体チップの前記第 2 の側と前記第 2 の導電ビアとの間で第 2 の電流を伝導するのに十分にドーピングされた第 2 のバルク半導体基板であり、前記第 2 の導電ビアが前記第 2 のバルク半導体基板を前記第 2 の BEOL 配線層に電氣的に結合し、前記第 2 の BEOL 配線層が前記第 2 の電気デバイス内に前記第 2 の電流の一部を伝導するように適合化された、請求項 1 に記載のチップ・オン・チップ・モジュール構造。

【請求項 10】第 1 の導電層が前記第 1 の半導体チップの前記第 2 の側に配置され、前記電源電圧 VDD に電氣的に結合され、

第 2 の導電層が前記第 2 の半導体チップの前記第 2 の側に配置され、前記接地電圧 GND に電氣的に結合され、VDD から GND への電圧降下が前記第 1 の電流および前記第 2 の電流を発生させ、

前記第 1 の BEOL 配線層が前記第 1 の電流の前記一部を前記第 1 の電気デバイス内に伝導し、

前記第 2 の BEOL 配線層が前記第 2 の電流の前記部分を前記第 2 の電気デバイス内に伝導する、請求項 9 に記載のチップ・オン・チップ・モジュール構造。

【請求項 11】第 1 の半導体チップの第 2 の側が電源電圧 VDD に電氣的に結合されるように適合化された、第 1 の半導体チップの第 1 の側にある第 1 の配線層と第 1 の半導体チップの第 2 の側にある第 1 の導電性基板とを含む第 1 の半導体チップを設けるステップと、

第 2 の半導体チップの第 2 の側が接地電圧 GND に電氣的に結合されるように適合化された、第 2 の半導体チップの第 1 の側にある第 2 の配線層と第 2 の半導体チップの第 2 の側にある第 2 の導電性基板とを含む第 2 の半導体チップを設けるステップと、

前記第 1 の半導体チップと前記第 2 の半導体チップが前

3

記電源電圧VDDと前記接地電圧GNDとから電力を受け取るように適合化され、前記第1の半導体チップの前記第1の側を前記第2の半導体チップの前記第1の側に電気的に結合するステップとを含む、チップ・オン・チップ・モジュール構造を形成する方法。

【請求項12】前記第1の導電層が前記電源電圧VDDに電気的に結合されるように適合化された、前記第1の半導体チップの前記第2の側に第1の導電層を配置するステップと、

前記第2の導電層が前記接地電圧GNDに電気的に結合されるように適合化された、前記第2の半導体チップの前記第2の側に第2の導電層を配置するステップとをさらに含む、請求項11に記載の方法。

【請求項13】前記第1の導電層が、前記第1の半導体チップ内に発生した熱を放熱するのに十分な熱伝導性を有し、前記第2の導電層が前記第2の半導体チップ内に発生した熱を放熱するのに十分な熱伝導性を有する、請求項12に記載の方法。

【請求項14】前記第1の半導体チップがセミコンダクタ・オン・インシュレータ(SCOI)チップであり、前記第2の半導体チップがバルク半導体チップである、請求項11に記載の方法。

【請求項15】前記第1の半導体チップが第1のSCOIチップで、前記第1の電気デバイスが第1の半導体装置であり、前記第2の半導体チップが第2のSCOIチップであり、前記第2の電気デバイスが第2の半導体デバイスである、請求項11に記載の方法。

【請求項16】前記第1の半導体チップが第1のバルク半導体チップであり、前記第2の半導体チップが第2のバルク半導体チップである、請求項11に記載の方法。

【請求項17】前記第1の半導体チップが受動デバイス半導体チップであり、前記第2の半導体チップが、SCOIチップとバルク半導体チップとから成るグループから選択された、請求項11に記載の方法。

【請求項18】前記第1の半導体チップが、SCOIチップとバルク半導体チップとから成るグループから選択され、前記第2の半導体チップが受動デバイス半導体チップである、請求項11に記載の方法。

【請求項19】前記第1の半導体チップが第1の導電ビアと第1の電気デバイスとをさらに含み、前記第1の配線層が第1のバック・エンド・オブ・ライン(BEOL)配線層であり、前記第1の導電性基板が、前記第1の半導体チップの前記第2の側と前記第1の導電ビアとの間で第1の電流を伝導するのに十分にドーピングされた第1のバルク半導体基板であり、前記第1の導電ビアが前記第1のバルク半導体基板を前記第1のBEOL配線層に電気的に結合し、前記第1のBEOL配線層が前記第1の電気デバイス内に前記第1の電流の一部を伝導するよう適合化され、

前記第2の半導体チップが、第2の導電ビアと第2の電

4

気デバイスとをさらに含み、前記第2の配線層が第2のバック・エンド・オブ・ライン(BEOL)配線層であり、前記第2の導電性基板が、前記第2の半導体チップの前記第2の側と前記第2の導電ビアとの間で第2の電流を伝導するのに十分にドーピングされた第2のバルク半導体基板であり、前記第2の導電ビアが前記第2のバルク半導体基板を前記第2のBEOL配線層に電気的に結合し、前記第2のBEOL配線層が前記第2の電気デバイス内に前記第2の電流の一部を伝導するように適合化された、請求項11に記載の方法。

【請求項20】前記電源電圧VDDに電気的に結合されるように適合化された第1の導電層を前記第1の半導体チップの前記第2の側に配置するステップと、

前記接地電圧GNDに電気的に結合されるように適合化された、第2の導電層を前記第2の半導体チップの前記第2の側に配置するステップと、

VDDからGNDへの電圧降下によって前記第1の電流と前記第2の電流とを発生させるステップと、

前記第1のBEOL配線層によって前記第1の電流の一部を前記第1の電気デバイス内に伝導するステップと、

前記第2のBEOL配線層によって前記第2の電流の一部を前記第2の電気デバイス内に伝導するステップとをさらに含む、請求項19に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般には半導体チップ設計に関し、詳細には、マイクロプロセッサおよびそれに付随するメモリなどの超大規模集積回路(VLSI)回路を内蔵した半導体チップのチップ・オン・チップ・パッケージの配電方法に関する。

【0002】

【従来の技術】チップ・オン・チップ・モジュール技術は、相互接続距離を短縮し、信号伝播速度を高速化することによって、システム密度の向上と動作周波数の向上を促進してきた。しかし、これらの向上や、チップ上の集積回路自体の集積密度の向上によって、一般にパッケージングの単位体積あたりの消費電力と発熱量が増大している。したがって、チップ・オン・チップ・モジュール、特に、超大規模集積(VLSI)回路を内蔵したモジュールでは、放熱が問題あるいは設計限界となることがある。

【0003】パフォーマンスの向上、消費電力の低減、およびチップの製造およびパッケージング・コストの低減を達成する必要から、半導体産業ではマルチチップ・パッケージがますます普及しつつある。図1に示すパッケージのように、コントロールド・コラプス・チップ・コネクション(Controlled Collapse Chip Connection: C4)相互接続(DCSC4)を使用したデュアル・チップ・スタック・パッケージは、何千ものチップ間接続を設ける手段となると同時に、10W未満のスタッ

10

20

30

40

50

クの十分な冷却も比較的低コストで行うことができる。

【0004】図1は、チップ・オン・チップ・パッケージ1（たとえばC4相互接続（DCSC4）パッケージを使用したデュアル・チップ・スタック・パッケージなど）の断面図である。チップ・オン・チップ・パッケージ1は、インターナショナル・ビジネス・マシーンズ・コーポレーションに共通譲渡されたパーティン（Berti n）等の米国特許第5977640号「Highly Integrated Chip-on-Chip Packaging」の図6に開示されている関連技術のチップ・オン・チップ・モジュール10を含む。共通譲渡されたパーティン等の米国特許第5977640号、出願番号第09/105382号「Micro-flexTechnology in Semiconductor Packages」およびフェレンス（Ference）等の米国特許第6225699号「Chip-on-ChipInterconnections of Varied Characteristics」は、参照により本明細書に組み込まれる。

【0005】チップ・オン・チップ・モジュール10は、マスタ・チップ30とスレーブ・チップ40とを含む。マスタ・チップ30は、アクティブ側31と裏側32とを有する。スレーブ・チップ40は、アクティブ側41と裏側42とを有する。マスタ・チップ30のアクティブ側31のパッド35にはワイヤボンダ28が接続され、パッケージ基板72の上面73に接続されている。パッケージ基板72の下面74は、チップ・オン・チップ・パッケージ1を構成体またはデバイス（たとえばパッケージングの異なる階層）に接続するためのはんだボール76に結合されている。マスタ・チップ30の裏側32とパッケージ基板72の上面73の間の接着剤71によって、チップ・オン・チップ・モジュール10がパッケージ基板72に機械的に接続されている。樹脂ダム66とカプセル材64が、チップ（すなわちマスタ・チップ30とスレーブ・チップ40）を保護し、ワイヤボンダ28とチップ・オン・チップ・パッケージ1に耐久性を与える。金属蓋62によって、チップ・オン・チップ・パッケージ1を、コンパクトにし、耐久性を持たせ、熱的に強化することができる。金属蓋62は、チップ・オン・チップ・モジュール10から放出された熱を拡散させる熱拡散材として機能することができる。接着剤71と、金属蓋62とスレーブ・チップ40の裏側42との間の接着剤とは、誘電性の組成を有することができる。

【0006】図2は、図1のチップ・オン・チップ・モジュール10の断面図である（カプセル材64は図示せず）。チップ・オン・チップ・モジュール10は、関連技術により製作されたマスタ・チップ30とスレーブ・チップ40とを備える。（小さい方の）スレーブ・チップはシリコン・オン・インシュレータ（SOI）技術で製作されており、バルクCMOS技術で製作された（大きい方の）マスタ・チップ30に（対面）接着されたものとして図示され、大きい方の（マスタ）チップ30の

縁部領域には、（ワイヤボンダ27および29を介した）チップ・オン・チップ・モジュール10の外部GNDおよびVDD供給接続がある。（たとえばマスタ・チップ30上の）バルクCMOS技術では、トランジスタはバルク半導体基板（たとえばバルク半導体基板33）のアクティブ面34に直接形成される。SOIチップ（たとえばスレーブ・チップ40）では、トランジスタは半導体材料（たとえばシリコン）から成る半導体層43上に形成され、この半導体層43はバルク半導体基板48（たとえばシリコン）上に形成された絶縁層46（たとえばSiO₂やAl₂O₃）上に形成される。関連技術のSOIチップでは、デバイス47の動作を妨害するような静電気が絶縁層46の両側に蓄積するのを防止する目的で、基板接点を絶縁層46を貫通して設けて、バルク半導体基板48と半導体層43との間、またはバルク半導体基板48と1つの電源プレーンとの間、あるいはその両方で電子を伝導させることができる。

【0007】チップ・オン・チップ・モジュール10に電力供給するのに必要な電流（I）の一部は、小さい方のチップ（すなわちスレーブ・チップ40）のアクティブ側41のデバイス（たとえばCMOSTランジスタ、インバータなど）を動作させるために、小さい方のチップ（すなわちスレーブ・チップ40）に配電される。チップ上のデバイス37および47（たとえば半導体デバイス、インバータ）には電源電圧VDDの全電流（I）が、従来の方式、たとえば、バック・エンド・オブ・ライン（BEOL）層、たとえばそれぞれマスタ・チップ30およびスレーブ・チップ40のBEOL層59および52の、金属化層に形成された電源プレーン（たとえば54、55、56、57）を介して供給される。たとえば、小さい方のチップ（すなわちスレーブ・チップ40）のアクティブ側41のデバイス47に供給される電流I_{ds}は、配線29から大きい方のチップ（すなわちマスタ・チップ30）の縁部を通り、マスタ・チップ30のBEOL層59のVDD電源プレーン54を通り、マスタ・チップ30をスレーブ・チップ40に接続する相互接続50（たとえば1つまたは複数のはんだボール）を通った後、小さい方のチップ（すなわちスレーブ・チップ40）のBEOL層52のVDD電源プレーン56を通り、小さい方のチップ（すなわちスレーブ・チップ40）の各デバイス（たとえばインバータなどのデバイス47）を通り、小さい方のチップ（すなわちスレーブ・チップ40）のBEOL層52の接地（GND）電源プレーン57を通過して、マスタ・チップ30とスレーブ・チップ40との間の相互接続50（たとえばはんだボール）を介して、マスタ・チップ30のBEOL層59の接地（GND）電源プレーン56を通過して接地線27を通過して電源電圧VDDまで配電される。

【0008】VDD電源プレーン54および56、GND電源プレーン55および57は、特にスレーブ・チッ

ブ40では、インピーダンス（たとえば抵抗）による損失を受けて、相互接続50（たとえば一連のC4接続）および配線29と、マスタ・チップ30の電源プレーンを流れなければならない電流Iの部分にまで下がることに留意されたい。スレーブ・チップ40との相互接続50がマスタ・チップ30の中央領域においてアクセス点を妨害し、電源プレーンの連続性を妨げるために、マスタ・チップ30の電源プレーンとチップ・オン・チップ・モジュール10のマスタ・チップ30のアクティブ面34上のデバイス（たとえばデバイス37）との接続が、セラミック・シングル・チップ・パッケージにおける単一C4チップほどよくないことが、当業者ならわかるであろう。

【0009】マイクロプロセッサ・チップ技術の向上の結果、1GHzを超える周波数で稼働する一億個以上のトランジスタを含む半導体チップが製造されるようになり、必要RAMメモリ帯域幅が増大している。マイクロプロセッサとメモリを含むチップなど、2つのきわめてパフォーマンスの高いチップが合わさって100ワット程度の電力を消費し、そのエネルギーを熱として放出することがある。これは、関連技術のDCSC4設計の配電および放熱能力を超える可能性がある。プロセッサ、ワークステーション、グラフィクス・エンジン、音声認識システム、ネットワーク接続ゲーム・コンソールなど、コンパクト・モジュールの今後の応用分野では、プロセッサ・チップとメモリ・チップとの間できわめて高い帯域幅の接続を必要とし、100Wを優に超える電力を消費すると考えられる。図2に示すDCSC4モジュールでは、このような応用分野のVLSIチップに安定した低インピーダンス電力を供給するには不十分であり、そのような構成要素の十分な冷却を行えない可能性がある。十分な有効電力を配電するとともに副生成熱を放出させるという問題は、上記の高電力機器でDCSC4パッケージングを最大限に活用することができるようにするために解決しなければならない問題である。

【0010】現在のほとんどのチップ設計では、電源プレーンは基本的に、各チップのバック・エンド・オブ・ライン（BEO L）金属化/配線層内に構築された2つの配線メッシュ網である。この2つの配線メッシュ網は、各チップのアクティブ側（たとえば31および41）のすべてのデバイス（たとえばトランジスタ）および回路に接地（GND）接続および電圧（VDD）を供給する。パッケージ基板（たとえばパッケージ基板72）にワイヤボンドされたチップ（たとえばマスタ・チップ30）の場合、これらの電源プレーンを、マスタ・チップ30のアクティブ側31の比較的少数の冗長ワイヤ・ボンド・パッド（たとえば図1のパッド35）に接続することができ、これはパッケージング後に、パッケージの1つまたは複数の導線に接続することができる。

【0011】

【発明が解決しようとする課題】高パフォーマンス、高出力チップ設計では、ワイヤボンド・パッケージ内の電源プレーンの抵抗によって、多大な「バウンス」が発生し、それによって回路が正常に動作することができなくなることがある。これは、一般に基板とチップとの間にはるかに多くの電源接続が使用可能で、チップ面全体にわたってより均一に分散し、したがって電源インピーダンスがより低い、C4パッケージに設計が移行する主な理由である。しかし、パフォーマンスのきわめて高いチップ群（たとえばマイクロプロセッサ・メモリ・モジュール）がDCSC4パッケージに移行すると、チップ・オン・チップ・パッケージ1の外部のすべての接続をマスタ・チップ30の周縁部からとらなければならないため、低インピーダンス電源の可用性が再び問題になる。

【0012】したがって、当業界では、上記の問題を解決することができるチップ配電設計が必要である。

【0013】

【課題を解決するための手段】本発明の第一の態様は、チップ・オン・チップ・モジュール構造であって、第1の半導体チップの第2の側が電源電圧VDDに電気的に結合されるように適合化された、第1の半導体チップの第1の側にある第1の配線層と第1の半導体チップの第2の側にある第1の導電性基板とを含む第1の半導体チップと、第2の半導体チップの第2の側が接地電圧GNDに電気的に結合されるように適合化された、第2の半導体チップの第1の側にある第2の配線層と第2の半導体チップの第2の側にある第2の導電性基板とを含む第2の半導体チップとを含み、第1の半導体チップの第1の側が第2の半導体チップの第1の側に電気的に結合され、第1の半導体チップと第2の半導体チップが電源電圧VDDと接地電圧GNDとから電力を受け取るように適合化された、チップ・オン・チップ・モジュール構造を提供する。

【0014】本発明の第二の態様は、チップ・オン・チップ・モジュール構造を形成する方法であって、第1の半導体チップの第2の側が電源電圧VDDに電気的に結合されるように適合化された、第1の半導体チップの第1の側にある第1の配線層と第1の半導体チップの第2の側にある第1の導電性基板とを含む第1の半導体チップを設けるステップと、第2の半導体チップの第2の側が接地電圧GNDに電気的に結合されるように適合化された、第2の半導体チップの第1の側にある第2の配線層と第2の半導体チップの第2の側にある第2の導電性基板とを含む第2の半導体チップを設けるステップと、第1の半導体チップと第2の半導体チップが電源電圧VDDと接地電圧GNDとから電力を受け取るように適合化され、第1の半導体チップの第1の側を第2の半導体チップの第1の側に電気的に結合するステップとを含む、チップ・オン・チップ・モジュール構造を形成する

方法を提供する。

【0015】本発明のチップ・オン・チップ・モジュールは、関連技術の限界を克服する。たとえば、本発明は、相互接続密度を向上させ、放熱率を高め、消費電力を低減し、チップ・オン・チップ・モジュールへのより効率的な配電を容易にする。

【0016】

【発明の実施の形態】図3は、本発明の実施形態による、セミコンダクタ・オン・インシュレータ (Semiconductor-on-insulator: SCOI) チップ240と、SCOIチップ240のバルク半導体基板148の表面242に配置された(導電層262で形成された)外部電源プレーンの断面図である。導電層262は、導電性かつ熱伝導性としてすることができる。バルク半導体基板148の表面242は、SCOIチップ240の裏側でもある。バルク半導体基板148は、図3ではSCOIチップ240の裏側にあるように図示されている。SCOIチップ240は、シリコン・オン・インシュレータ(SOI)チップ、または他のセミコンダクタ・オン・インシュレータ・チップで構成することができる。SCOIチップ240は、プレーナ下層バルク半導体基板148と、プレーナ中間絶縁層246(たとえば絶縁誘電層)と、浅いトレンチ分離(STI)243によって分離された半導体層143の半導体基板材料から成る複数の「島」を含むアクティブ層とを有する。SCOIチップ240は、(バルク半導体基板148の内面249上にある)複数の低インピーダンス接点248とバック・エンド・オブ・ライン(BEOL)配線層259(たとえば接地(GND)電源プレーン257)との間に延在する複数の電流伝導ビア(PCV)(すなわちPCV145、245、...)を含む。複数のPCV(すなわちPCV145、245、...)は、SCOIチップ240または他のチップ(図5参照)あるいはその両方、または1つのチップまたは各チップの1つまたは複数の部分に供給する必要がある全電流(I_1)を伝導することができる。図3に示すように、SCOIチップ240の裏側242に供給される電流(I_1)の一部を使用して、SCOIチップ240の反対側のアクティブ側241に形成された複数の半導体デバイス(たとえばCMOSインバータに代表されるデバイス247)に電力供給することができる。BEOL配線層259は、図3ではSCOIチップ240のアクティブ側241にあるものとして図示されている。導電層262から成る外部電源プレーンは、電源(VDD)に電気的に接続され、バルク半導体基板148を電流160が通ることによって、BEOL配線層259内の内部電源プレーン(たとえばVDD電源プレーン256)に結合される。

【0017】導電層262から成る外部電源プレーンは、SCOIチップ240の裏側242に配置されており、SCOIチップ240のアクティブ側244にある

デバイス247(たとえば半導体デバイス)に(バルク半導体基板148を介して)電気的に接続された金属層(たとえば図1の金属蓋62)を含むことができる。導電層262は、SCOIチップ240の裏側242と電気的に接触し、共形に物理的に接触している。したがって、導電層262とSCOIチップ240の裏側242との間に配置される接着剤は、誘電性組成物ではなく熱伝導性および導電性組成物とすることができる。

【0018】電流伝導ビアPCV(すなわちPCV145、245、...)は、低インピーダンス接点248から絶縁/誘電層または領域(たとえば絶縁層246およびSTI243)または半導体層143の半導体材料あるいはその両方を通して、BEOL配線層259内の他の導線まで、またはBEOL配線層259を通過してSCOIチップ240のアクティブ側241の外表面まで延びている。バルク半導体基板148を十分にドーピングし、(たとえばプロセス技法によって)低インピーダンス接点248を設ければ、当該SCOIチップ240の動作のための電源電圧(たとえばVDD)との相互接続250は不要になる。「十分にドーピングされた」とは、VDDおよびGND接続を考慮して、(バルク半導体基板148内の電流160として表された)電流(I_1)を、SCOIチップ240の裏側242からSCOIチップ240のアクティブ側241まで伝えるのに十分にドーピングされていることを意味する。電源電圧VDDとBEOL配線層259内のVDD電源プレーン256との接続は、SCOIチップ240の裏側242をVDDに接触させることによって行うことができる。

【0019】図3に示すように、(導電層262から成る)外部電源プレーンを使用して電源電圧VDDの電流(I_1)を供給することによって、SCOIチップ240に同じ電力を供給するのに従来必要であった外部相互接続250が不要になる。たとえば、図5のように隣接フリップ・チップにVDDを供給するために必要な場合を除き、VDD用のC4コネクタが不要になる。他の様々な実施形態では、バルク半導体基板148に電気的に結合された(導電層262から成る)外部電源プレーンを、SCOIチップ240の論理High電圧(VDD)または論理Low電圧(GND)のいずれかの電源プレーンに電気的に結合することができる。

【0020】電流伝導ビアPCV(すなわちPCV145、245、...)は、当業者に周知の任意のプロセスによって、STI243の誘電材料(たとえばPCV245)または半導体の「島」を貫通して延びるように構成することができる(たとえばPCV145は、半導体デバイス、インバータなどのデバイス247を含み、STI243によって境界を画された半導体層143のバルク半導体材料を貫通することができる)。電流伝導ビアPCV(すなわちPCV145、245、...)は、反応性イオン・エッチング(RIE)、穿孔などを

行った後に導電材料（たとえばTiNやWなどの金属または合金）を充填し、その後で必要に応じてアニールするなど、周知の機械的技法または化学的技法またはリソグラフ技法あるいはこれらの組合せによって形成することができる。

【0021】図4は、本発明の実施形態による、バルク半導体チップ330のバルク半導体基板333の表面320に配置されたバルク半導体チップ330と（導電層362から成る）外部電源プレーンの断面図である。導電層362は、導電性かつ熱伝導性である。バルク半導体基板333の表面320は、バルク半導体チップ330の裏側でもある。図4では、バルク半導体基板333はバルク半導体チップ330の裏側にあるものとして図示されている。バルク半導体チップ330は、図のような内部配電構造を有する。バルク半導体チップ330は、プレーナ・バルク半導体基板333を含む。バルク半導体基板333は、バルク半導体チップ330のアクティブ側310にアクティブ面340を有する。アクティブ側310のアクティブ面340には、支持デバイスが組み込まれている。バルク半導体チップ330は、アクティブ面340上に複数の低インピーダンス接点348を含む。バルク半導体チップ330は、電源プレーン（すなわちBEOL配線層359のGND電源プレーン355）と複数の低インピーダンス接点348との間に延びる複数の電流伝導ビアPCV（すなわちPCV345）も含む。この複数のPCV（すなわちPCV345）は、バルク半導体チップ330または他のチップ（図5参照）あるいはその両方、またはバルク半導体チップ330または他のチップあるいはその両方の1つまたは複数の部分に供給する必要がある全電流（ I_2 ）を伝導することができる。

【0022】図4に示すように、バルク半導体チップ330の裏側320に供給される電流（ I_2 ）の一部を使用して、バルク半導体チップ330のアクティブ側310上に形成されたデバイス370（たとえばCMOSインバータ、インバータ、インダクタやキャパシタなどの受動デバイスなどに代表される半導体）に電力供給することができる。図4では、BEOL配線層359は、バルク半導体チップ330のアクティブ側310上にあるものとして図示されている。導電層362から成る外部電源プレーンは、バルク半導体基板333から内部電源プレーン（たとえばBEOL配線層359内のVDD電源プレーン354）に電流360が通ることによって電源電圧（たとえばVDD）またはGNDに電気的に結合される。

【0023】バルク半導体チップ330の裏側320に配置された導電層362から成る外部電源プレーンは、（バルク半導体基板333を介して）バルク半導体チップ330のアクティブ面340上のデバイス370に電気的に結合された金属層（たとえば図1の金属蓋62な

どの金属蓋）を含むことができる。導電層362は、バルク半導体チップ330の裏側320と電気的に接触し、共形に物理的に接触している。したがって、バルク半導体チップ330の導電層362と裏側320との間にある接着剤は、誘電性組成物ではなく熱伝導性および導電性の組成物とすることができる。

【0024】電流伝導ビアPCV（すなわちPCV345）は、低インピーダンス接点348からバルク半導体チップ330のBEOL配線層359を通り電源プレーン（たとえばVDD電源プレーン354）まで、またはBEOL配線層359内の他の導電体まで、またはBEOL配線層359を貫通してバルク半導体チップ330のアクティブ面310の外面まで、あるいはこれらのすべてにまで延びている。バルク半導体基板333が十分にドーピングされ、（たとえばプロセス技法により）低インピーダンス接点348を設けた場合、電源（たとえばVDD）との相互接続250（たとえばC4はんだボール）は、バルク半導体チップ330の動作にとって不要である。十分にドーピングされたとは、VDDおよびGND接続を考慮して、（バルク半導体基板333内の電流360として表された）電流（ I_2 ）が、バルク半導体チップ330の裏側320からバルク半導体チップ330のアクティブ側310まで伝導するのに十分にドーピングされた、という意味である。接地（GND）電圧からバルク半導体チップ330のBEOL配線層359のGND電源プレーン355への接続は、バルク半導体チップ330の裏側320をGNDに接触させることによって行うことができる。

【0025】図4に示すように、（導電層362から成る）外部電源プレーンを使用して接地（GND）電圧の電流（ I_2 ）を供給することにより、バルク半導体チップ330内に同じ電力を供給するのに従来必要であった外部相互接続250が不要になる。たとえば、図5に示すように隣接フリップ・チップにVDDを供給するために必要な場合を除き、VDD用のC4コネクタが不要になる。他の様々な実施形態では、バルク半導体基板333に電気的に接続された（導電層362から成る）外部電源プレーンは、バルク半導体チップ330の論理High電圧（VDD）または論理Low電圧（GND）電源プレーンのいずれかに電気的に結合することができる。電流伝導ビアPCV（すなわちPCV345）は、当業者に周知のプロセスによって形成することができる。

【0026】図5は、図4のバルク半導体チップ330を図3のSCOIチップ240に装着するフリップ・チップ装着によって形成されたチップ・オン・チップ・モジュール410の断面図である。モジュール410は、SCOIチップ240上のデバイス（たとえば半導体デバイス247）とバルク半導体チップ330上のデバイス（たとえばデバイス370）とを相互接続する複数の

相互接続 250 (たとえば C4 はんだボール) を含む。相互接続 250 の間の空間 352 に樹脂ダム (たとえば図 1 の樹脂ダム 66 を参照) と誘電カプセル材 (たとえば図 1 のカプセル材 64 を参照) を充填して、チップ 330 および 240 を保護し、チップ・オン・チップ・モジュール 410 に耐久性をもたせることができる。

【0027】SCOI チップ 240 の裏側 242 の導電層 262 は、チップ・オン・チップ・モジュール 410 を電源電圧 (たとえば VDD または GND) に電気的に接触させる金属蓋とすることができ、バルク半導体基板 148 の金属と、チップ 330 および 240 内の 1 つまたは複数の電源プレーンとに電気的に接触している。導電層 262 は、導電層 262 が SCOI チップ 240 内に発生した熱を放散させる熱拡散器として機能することができるようにする熱伝導性金属 (たとえば導電性かつ熱伝導性の金属) を含むことができる。導電層 262 と SCOI チップ 240 の裏側 242 との間の接着剤は、導電性かつ熱伝導性の組成物を含むものとすることができる。

【0028】バルク半導体チップ 330 の裏側 320 の導電層 362、チップ・オン・チップ・モジュール 410 を電源電圧 (たとえば VDD または GND) に電気的に接触させる金属蓋とすることができ、バルク半導体基板 333 の金属と、チップ 330 および 240 内の 1 つまたは複数の電源プレーンとに電気的に接触している。導電層 362 は、導電層 362 がバルク半導体チップ 330 内に発生した熱を放散させる熱拡散器として機能することができるようにする熱伝導性金属 (たとえば導電性かつ熱伝導性の金属) を含むことができる。導電層 362 とバルク半導体チップ 330 の裏側 320 との間の接着剤は、導電性かつ熱伝導性の組成物を含むことができる。

【0029】モジュール 410 内の電力を (半導体デバイス 247 などの内部デバイスの動作のために) SCOI チップ 240 に供給するのに必要な電流 (I) の一部または全部を、それぞれチップ 240 および 330 のバルク半導体基板 248 または 333 あるいはその両方に通すことができる。図 3 および図 4 のバルク半導体基板 148 および 333 内の電流 160 および 360 を参照されたい。半導体デバイス 247 は、たとえば CMOS トランジスタ、インバータなどを含むことができる。全電流 (I) を、それぞれ SCOI チップ 240 およびバルク半導体チップ 330 の BEOL 配線層 259 および 359 内の金属化層に形成された電源プレーン (たとえば VDD 電源プレーン 354、GND 電源プレーン 355、VDD 電源プレーン 256、GND 電源プレーン 257) を通して配電することができる。電流 (I) の第 1 の部分 (たとえば I_1) を使用して SCOI チップ 240 上のデバイス (たとえば半導体デバイス 247) に電力供給すると同時に、電流 (I) の第 2 の部分 (たと

えば I_2) を使用してバルク半導体チップ 330 上のデバイス (たとえばデバイス 370) に電力供給し、 $I = I_1 + I_2$ となるようにすることができる。

【0030】デバイス 370 は、CMOS インバータ、インバータ、インダクタやキャパシタなどの受動電子デバイスに代表される半導体とすることができる。バルク半導体チップ 330 が含む電子デバイスが受動電子デバイスのみである場合、本明細書ではそのバルク半導体チップ 330 を「受動デバイス半導体チップ」と呼ぶ。受動電子デバイスではない電子デバイスを含まない場合を除けば、本発明は、本発明に関するバルク半導体チップ 330 の特徴 (たとえば PCV 345) をすべて含む。

【0031】他の実施形態では、モジュール内のバルク半導体チップ 330 は、第 1 の電圧と第 2 の電圧の 2 種類の動作電圧を有する。第 1 の電圧は、バルク半導体チップ 330 の「コア」に関連づけられた「コア」電圧である。第 2 の電圧は、コア電圧より高く、たとえばバルク半導体チップ 330 の周縁部にあるインタフェース回路の駆動などに使用される。バルク半導体チップ 330 の「コア」内の電源プレーンには、本明細書に開示の方式でモジュールのチップの基板を介して電流を供給することができると同時に、バルク半導体チップ 330 の他の電源プレーンにはバルク半導体チップ 330 のアクティブ側 310 上の接点を介して従来の方式 (たとえばワイヤボンドを介して) で電流を供給することができる。

【0032】他の実施形態では、SCOI チップ 240 およびバルク半導体チップ 330 内を伝導される電流 I、またはその一部 I_s を使用して、電流 I または I_s が SCOI チップ 240 のデバイスを順に流れ、その後、バルク半導体チップ 330 のデバイスを流れるように、SCOI チップ 240 およびバルク半導体チップ 330 上のデバイス (たとえば半導体デバイス 247 および 370) に電力供給することができる。このような代替実施形態では、上記デバイスの動作電圧の合計にほぼ等しい電源電圧 (たとえば、図 5 のチップ 240 および 330 内の半導体デバイス 247 および 370 にそれぞれ付随する VDD+VDD) が、SCOI チップ 240 の裏側 242 の導電層 262 に接続されると同時に、接地 (GND) 電圧をバルク半導体チップ 330 の裏側 320 の導電層 362 に接続されることになる。このような代替実施形態では、各チップ上のデバイスの入力と出力の間の、光学的アイソレーションなどの電気 (たとえば電圧) 分離が必要になる場合がある。このような代替実施形態では、各チップと並列に電気的に接続された 1 つまたは複数の電圧レギュレータまたは電流バイパス回路あるいはその両方があれば有利であろう。このようにして、チップ上のデバイス (またはそのサブセット) を第 1 の電圧で動作させると同時に、第 2 のチップ上のデバイス (またはそのサブセット) を第 2 の電圧 (第 1 の電圧と等しくなくてもよい) で動作させることができ、

それによってチップ・オン・チップ・モジュール 410 10
に供給する電源電圧が一つのみで済む。

【0033】図 5 には、チップ・オン・チップ・モジュール 410 がバルク半導体チップ 330 にはんだ付け式に結合された SCOI チップ 240 を有するものとして図示されているが、図 5 の様々な変形態様も本発明の範囲内に含まれる。

【0034】図 5 の第 1 の変形態様では、バルク半導体チップ 330 を第 2 の SCOI チップに置き換えて、第 2 の SCOI チップ（たとえば、SCOI チップ 240 用の導電ビアを含む本明細書に記載のものと同じ特性を有する SCOI チップ）にはんだ付け式に結合された第 1 の SCOI チップ（たとえば SCOI チップ 240）を含むチップ・オン・チップ・モジュールを形成することができる。第 1 および第 2 の SCOI チップのいずれか一方または両方を SOI チップとすることもできる。

【0035】図 5 の第 2 の変形態様では、SCOI チップ 240 を第 2 のバルク半導体チップで置き換えて、第 2 のバルク半導体チップ（たとえばバルク半導体チップ 330 用の導電ビアを含む本明細書に記載のものと同じ特性を有するバルク半導体チップ）にはんだ付け式に結合された第 1 のバルク半導体チップ（たとえばバルク半導体チップ 330）を含むチップ・オン・チップ・モジュールを形成することができる。第 1 および第 2 のバルク半導体チップのバルク半導体基板は、VDD および GND 接続を考慮して、基板が十分に導通するように反対の極性のドーピングを施さなければならない。具体的には、第 1 のバルク半導体チップ（たとえばバルク半導体チップ 330）が GND に結合され、第 2 のバルク半導体チップが VDD に結合された状態で、第 1 のバルク半導体チップのバルク半導体基板には p 型ドーピングが施され、第 2 のバルク半導体チップのバルク半導体基板は n 型ドーピングが施される。

【0036】図 5 の第 3 の変形態様では、SCOI チップ 240 を第 1 の受動デバイス半導体チップと置き換えて、バルク半導体チップ 330 にはんだ付け式に結合された第 1 の受動デバイス半導体チップを含むチップ・オン・チップ・モジュールを形成することもできる。第 1 の受動デバイス半導体チップの裏側は VDD に電氣的に結合され、バルク半導体チップ 330 の裏側 320 は GND に電氣的に結合されているため、第 1 の受動デバイス半導体チップのバルク半導体基板は、n 型ドーピングを含み、バルク半導体チップ 330 のバルク半導体基板 333 は p 型ドーピングを含む。あるいは、逆に、第 1 の受動デバイス半導体チップの裏側が GND に電氣的に結合され、バルク半導体チップ 330 の裏側 320 が VDD に電氣的に結合されている場合、第 1 の受動デバイス半導体チップのバルク半導体基板は p 型ドーピングを含み、バルク半導体チップ 330 のバルク半導体基板 333 は n 型ドーピングを含むことになる。

【0037】図 5 の第 4 の変形態様は、図 5 の第 3 の変形態様から導き出されたもので、バルク半導体チップ 330 を第 2 の受動デバイス半導体チップに置き換えて、第 2 の受動デバイス半導体チップにはんだ付け式に結合された第 1 の受動デバイス半導体チップを含むチップ・オン・チップ・モジュールを形成する。第 1 の受動デバイス半導体チップの裏側が VDD に電氣的に結合され、第 2 の受動デバイス半導体チップの裏側が GND に結合されているため、第 1 の受動デバイス半導体チップのバルク半導体基板は、n 型ドーピングを含み、第 2 の受動デバイス半導体チップのバルク半導体基板は p 型ドーピングを含む。

【0038】図 5 の第 5 の変形態様では、バルク半導体チップ 330 を受動デバイス半導体チップに置き換えて、受動デバイス半導体チップにはんだ付け式に結合された SCOI チップ 240 を含むチップ・オン・チップ・モジュールを形成する。受動デバイス半導体チップの裏側が GND に結合されているため、受動デバイス半導体チップのバルク半導体基板は p 型ドーピングを含む。あるいは、逆に、受動デバイス半導体チップの裏側を VDD に電氣的に結合した場合は、受動デバイス半導体チップのバルク半導体基板は n 型ドーピングを含むことになる。

【0039】図 5 は、上述のようにチップ・オン・チップ・モジュール 410 が VDD と GND とに結合された、チップ・オン・チップ・モジュール 410 と VDD と GND とを含むチップ・オン・チップ・モジュール構造とみなすこともできる。

【0040】本発明について、特定の実施形態を参照しながら示し、説明したが、当業者なら、本発明の主旨および範囲から逸脱することなく、形態、材料、および詳細における上記およびその他の変更および変形態様も可能であることがわかるであろう。したがって、本発明の真の範囲および内容を判断するには、特許請求の範囲を精査すべきである。

【0041】まとめとして、本発明の構成に関して以下の事項を開示する。

【0042】（1）第 1 の半導体チップの第 2 の側が電源電圧 VDD に電氣的に結合されるように適合化された、第 1 の半導体チップの第 1 の側にある第 1 の配線層と第 1 の半導体チップの第 2 の側にある第 1 の導電性基板とを含む第 1 の半導体チップと、第 2 の半導体チップの第 2 の側が接地電圧 GND に電氣的に結合されるように適合化された、第 2 の半導体チップの第 1 の側にある第 2 の配線層と第 2 の半導体チップの第 2 の側にある第 2 の導電性基板とを含む第 2 の半導体チップとを含み、前記第 1 の半導体チップの前記第 1 の側が前記第 2 の半導体チップの前記第 1 の側に電氣的に結合され、前記第 1 の半導体チップと前記第 2 の半導体チップが前記電源電圧 VDD と前記接地電圧 GND とから電力を受け取る

ように適合化された、チップ・オン・チップ・モジュール構造。

(2) 第1の導電層が前記第1の半導体チップの前記第2の側に配置され、前記電源電圧VDDに電氣的に結合されるように適合化され、第2の導電層が前記第2の半導体チップの前記第2の側に配置され、前記接地電圧GNDに電氣的に結合されるように適合化された、上記

(1)に記載のチップ・オン・チップ・モジュール構造。

(3) 前記第1の導電層が、前記第1の半導体チップ内で発生した熱を放熱するのに十分な熱伝導性を有し、前記第2の導電層が前記第2の半導体チップ内で発生した熱を放熱するのに十分な熱伝導性を有する、上記(2)に記載のチップ・オン・チップ・モジュール構造。

(4) 前記第1の半導体チップがセミコンダクタ・オン・インシュレータ(semiconductor-on-insulator: SCOI)チップであり、前記第2の半導体チップがバルク半導体チップである、上記(1)に記載のチップ・オン・チップ・モジュール構造。

(5) 前記第1の半導体チップが第1のSCOIチップで、第1の電気デバイスが第1の半導体デバイスであり、前記第2の半導体チップが第2のSCOIチップで、第2の電気デバイスが第2の半導体デバイスである、上記(1)に記載のチップ・オン・チップ・モジュール構造。

(6) 前記第1の半導体チップが第1のバルク半導体チップであり、前記第2の半導体チップが第2のバルク半導体チップである、上記(1)に記載のチップ・オン・チップ・モジュール構造。

(7) 前記第1の半導体チップが受動デバイス半導体チップであり、前記第2の半導体チップが、SCOIチップとバルク半導体チップとから成るグループから選択された、上記(1)に記載のチップ・オン・チップ・モジュール構造。

(8) 前記第1の半導体チップが、SCOIチップとバルク半導体チップとから成るグループから選択され、前記第2の半導体チップが受動デバイス半導体チップである、上記(1)に記載のチップ・オン・チップ・モジュール構造。

(9) 前記第1の半導体チップが、第1の導電ビアと第1の電気デバイスとをさらに含み、前記第1の配線層が第1のバック・エンド・オブ・ライン(BEOL)配線層であり、前記第1の導電基板が、前記第1の半導体チップの前記第2の側と前記第1の導電ビアとの間で第1の電流を伝導するのに十分にドーピングされた第1のバルク半導体基板であり、前記第1の導電ビアが前記第1のバルク半導体基板を前記第1のBEOL配線層に電氣的に結合し、前記第1のBEOL配線層が前記第1の電気デバイス内に前記第1の電流の一部を伝導するように適合化され、前記第2の半導体チップが第2の導電ビア

と第2の電気デバイスとをさらに含み、前記第2の配線層が第2のバック・エンド・オブ・ライン(BEOL)配線層であり、前記第2の導電性基板が、前記第2の半導体チップの前記第2の側と前記第2の導電ビアとの間で第2の電流を伝導するのに十分にドーピングされた第2のバルク半導体基板であり、前記第2の導電ビアが前記第2のバルク半導体基板を前記第2のBEOL配線層に電氣的に結合し、前記第2のBEOL配線層が前記第2の電気デバイス内に前記第2の電流の一部を伝導するように適合化された、上記(1)に記載のチップ・オン・チップ・モジュール構造。

(10) 第1の導電層が前記第1の半導体チップの前記第2の側に配置され、前記電源電圧VDDに電氣的に結合され、第2の導電層が前記第2の半導体チップの前記第2の側に配置され、前記接地電圧GNDに電氣的に結合され、VDDからGNDへの電圧降下が前記第1の電流および前記第2の電流を発生させ、前記第1のBEOL配線層が前記第1の電流の前記一部を前記第1の電気デバイス内に伝導し、前記第2のBEOL配線層が前記第2の電流の前記部分を前記第2の電気デバイス内に伝導する、上記(9)に記載のチップ・オン・チップ・モジュール構造。

(11) 第1の半導体チップの第2の側が電源電圧VDDに電氣的に結合されるように適合化された、第1の半導体チップの第1の側にある第1の配線層と第1の半導体チップの第2の側にある第1の導電性基板とを含む第1の半導体チップを設けるステップと、第2の半導体チップの第2の側が接地電圧GNDに電氣的に結合されるように適合化された、第2の半導体チップの第1の側にある第2の配線層と第2の半導体チップの第2の側にある第2の導電性基板とを含む第2の半導体チップを設けるステップと、前記第1の半導体チップと前記第2の半導体チップが前記電源電圧VDDと前記接地電圧GNDとから電力を受け取るように適合化され、前記第1の半導体チップの前記第1の側を前記第2の半導体チップの前記第1の側に電氣的に結合するステップとを含む、チップ・オン・チップ・モジュール構造を形成する方法。

(12) 前記第1の導電層が前記電源電圧VDDに電氣的に結合されるように適合化された、前記第1の半導体チップの前記第2の側に第1の導電層を配置するステップと、前記第2の導電層が前記接地電圧GNDに電氣的に結合されるように適合化された、前記第2の半導体チップの前記第2の側に第2の導電層を配置するステップとをさらに含む、上記(11)に記載の方法。

(13) 前記第1の導電層が、前記第1の半導体チップ内に発生した熱を放熱するのに十分な熱伝導性を有し、前記第2の導電層が前記第2の半導体チップ内に発生した熱を放熱するのに十分な熱伝導性を有する、上記(12)に記載の方法。

(14) 前記第1の半導体チップがセミコンダクタ・オ

ン・インシュレータ (SCOI) チップであり、前記第 2 の半導体チップがバルク半導体チップである、上記 (11) に記載の方法。

(15) 前記第 1 の半導体チップが第 1 の SCOI チップで、前記第 1 の電気デバイスが第 1 の半導体装置であり、前記第 2 の半導体チップが第 2 の SCOI チップであり、前記第 2 の電気デバイスが第 2 の半導体デバイスである、上記 (11) に記載の方法。

(16) 前記第 1 の半導体チップが第 1 のバルク半導体チップであり、前記第 2 の半導体チップが第 2 のバルク半導体チップである、上記 (11) に記載の方法。

(17) 前記第 1 の半導体チップが受動デバイス半導体チップであり、前記第 2 の半導体チップが、SCOI チップとバルク半導体チップとから成るグループから選択された、上記 (11) に記載の方法。

(18) 前記第 1 の半導体チップが、SCOI チップとバルク半導体チップとから成るグループから選択され、前記第 2 の半導体チップが受動デバイス半導体チップである、上記 (11) に記載の方法。

(19) 前記第 1 の半導体チップが第 1 の導電ビアと第 1 の電気デバイスとをさらに含み、前記第 1 の配線層が第 1 のバック・エンド・オブ・ライン (BEOL) 配線層であり、前記第 1 の導電性基板が、前記第 1 の半導体チップの前記第 2 の側と前記第 1 の導電ビアとの間で第 1 の電流を伝導するのに十分にドーピングされた第 1 のバルク半導体基板であり、前記第 1 の導電ビアが前記第 1 のバルク半導体基板を前記第 1 の BEOL 配線層に電気的に結合し、前記第 1 の BEOL 配線層が前記第 1 の電気デバイス内に前記第 1 の電流の一部を伝導するよう適合化され、前記第 2 の半導体チップが、第 2 の導電ビアと第 2 の電気デバイスとをさらに含み、前記第 2 の配線層が第 2 のバック・エンド・オブ・ライン (BEOL) 配線層であり、前記第 2 の導電性基板が、前記第 2 の半導体チップの前記第 2 の側と前記第 2 の導電ビアとの間で第 2 の電流を伝導するのに十分にドーピングされた第 2 のバルク半導体基板であり、前記第 2 の導電ビアが前記第 2 のバルク半導体基板を前記第 2 の BEOL 配線層に電気的に結合し、前記第 2 の BEOL 配線層が前記第 2 の電気デバイス内に前記第 2 の電流の一部を伝導するよう適合化された、上記 (11) に記載の方法。

(20) 前記電源電圧 VDD に電気的に結合されるように適合化された第 1 の導電層を前記第 1 の半導体チップの前記第 2 の側に配置するステップと、前記接地電圧 GND に電気的に結合されるように適合化された、第 2 の導電層を前記第 2 の半導体チップの前記第 2 の側に配置するステップと、VDD から GND への電圧降下によって前記第 1 の電流と前記第 2 の電流とを発生させるステップと、前記第 1 の BEOL 配線層によって前記第 1 の電流の一部を前記第 1 の電気デバイス内に伝導するステ

ップと、前記第 2 の BEOL 配線層によって前記第 2 の電流の一部を前記第 2 の電気デバイス内に伝導するステップとをさらに含む、上記 (19) に記載の方法。

【図面の簡単な説明】

【図 1】関連技術による、チップ・オン・チップ・モジュールを含むチップ・オン・チップ・パッケージを示す断面図である。

【図 2】図 1 のチップ・オン・チップ・モジュールの詳細断面図である。

10 【図 3】本発明の実施形態による、電源プレーンが SCOI チップを介して SCOI チップのアクティブ側の半導体デバイスに電気的に結合されるように SCOI チップの裏側に配置された電源プレーンを有するセミコンダクタ・オン・インシュレータ (SCOI) チップを示す断面図である。

【図 4】本発明の実施形態による、電源プレーンがバルク半導体チップを介してバルク半導体チップのアクティブ側の半導体デバイスに電気的に接続されるようにバルク半導体チップの裏側に配置された電源プレーンを有するバルク半導体チップを示す断面図である。

【図 5】図 4 のバルク半導体チップを図 3 の SCOI チップにフリップ・チップ装着することによって形成されたチップ・オン・チップ・モジュールを示す断面図である。

【符号の説明】

143 半導体層

145、245 電流伝導ビア

148 バルク半導体基板

160、360 電流

30 240 SCOI チップ

241、244、310 アクティブ面

242 裏側

243 浅いトレンチ分離

246 プレーナ絶縁層

247、370 デバイス

248 低インピーダンス接点

250 相互接続

256、354 VDD 電源プレーン

257、355 GND 電源プレーン

40 259 BEOL 配線層

262 導電層

310 アクティブ面

330 バルク半導体チップ

320 バルク半導体表面

333 バルク半導体基板

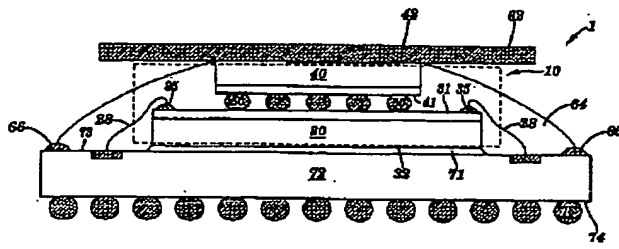
345 電流伝導ビア

348 低インピーダンス接点

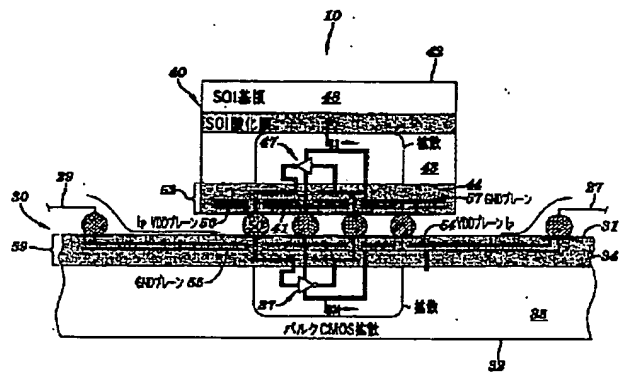
359 BEOL 配線層

362 導電層

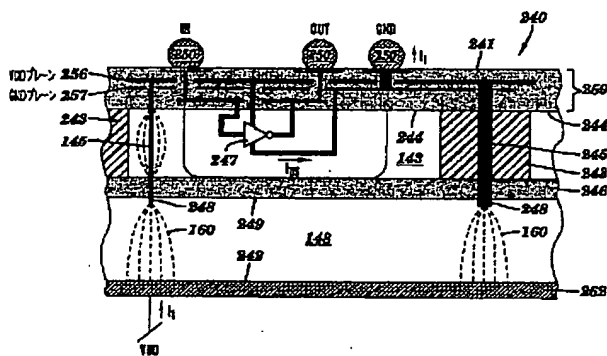
【図1】



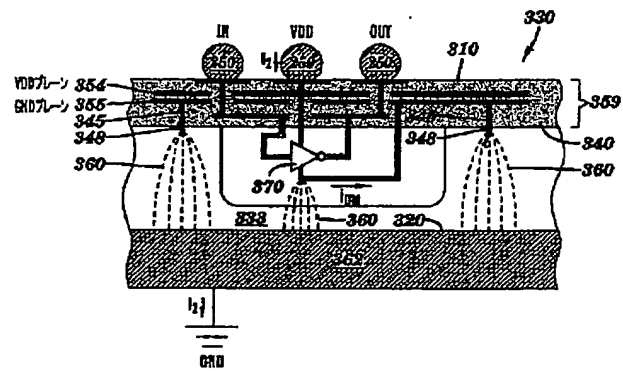
【図2】



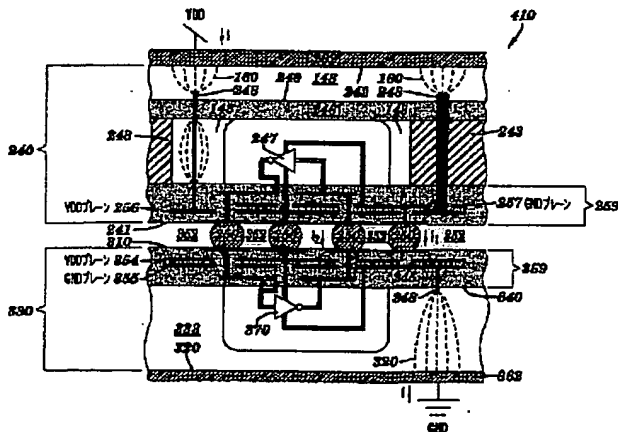
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 ジェロム・ビー・ラスキー
アメリカ合衆国05452 バーモント州エセ
ックス・ジャンクション ウッド・エン
ド・ドライブ 32

(72)発明者 エドワード・ジェイ・ノアックス
アメリカ合衆国05452 バーモント州エセ
ックス・ジャンクション ウインドリッ
ジ・ロード 8

(72)発明者 エドマンド・ジェイ・スボロジス
アメリカ合衆国05489 バーモント州アン
ダーヒル シダー・ロード 35